

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 10-261269

(43)Date of publication of application : 29.09.1998

(51)Int.Cl. G11B 20/10

(21)Application number : 09-064820

(71)Applicant : SONY CORP

(22)Date of filing : 18.03.1997

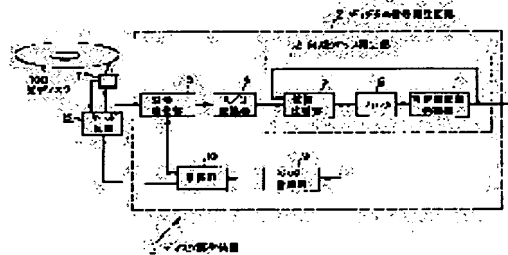
(72)Inventor : YOSHIMURA SHUNJI
KURA JUNPEI

(54) DIGITAL SIGNAL REPRODUCING CIRCUIT

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a digital signal reproducing circuit capable of precisely measuring a phase difference and a jitters component of a regenerative signal even when a circuit is miniaturized by using sample values in front and behind of an edge part of an output signal from an analog/digital conversion means and calculating the dispersion of the phase difference.

SOLUTION: The digital data of the regenerative signal are inputted to a phase comparison part 5 and a jitters measurement part 9, and the phase difference and a jitters detection signal based on the digital data of the inputted regenerative signal are detected. The phase comparison part 5 detects the phase difference between the regenerative signal and a synchronizing clock. The jitters measurement part 9 detects the jitters detection signal as the phase difference of a normalized square mean based on inputted phase difference and phase difference full-scale value. The digital signal reproducing circuit 2 can detect precisely the phase difference as the digital data, and makes possible detecting the phase difference and the jitters component based on them.



LEGAL STATUS

[Date of request for examination] 28.11.2003

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's]

decision of rejection]

[Date of extinction of right]

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平10-261269

(43) 公開日 平成10年(1998) 9月29日

(51) Int.Cl.⁶

G 1 1 B 20/10

識別記号

3 2 1

F I

G 1 1 B 20/10

3 2 1 Z

審査請求 未請求 請求項の数 4 O L (全 9 頁)

(21) 出願番号 特願平9-64820

(22) 出願日 平成9年(1997) 3月18日

(71) 出願人 000002185

ソニー株式会社

東京都品川区北品川6丁目7番35号

(72) 発明者 吉村 俊司

東京都品川区北品川6丁目7番35号 ソニー株式会社内

(72) 発明者 蔵 純平

東京都品川区北品川6丁目7番35号 ソニー株式会社内

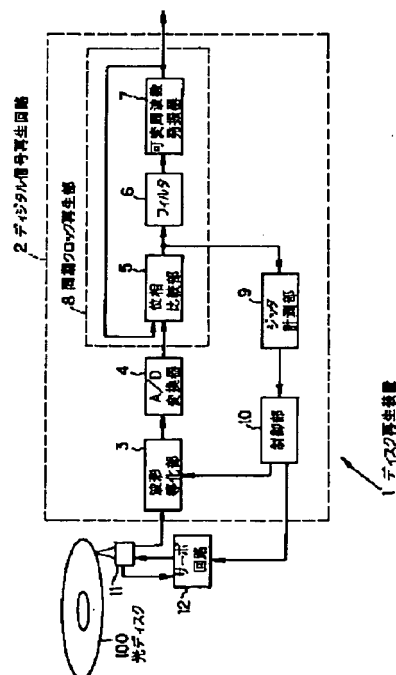
(74) 代理人 弁理士 小池 晃 (外2名)

(54) 【発明の名称】 デジタル信号再生回路

(57) 【要約】

【課題】 回路の小型化を可能してもなお高精度で再生信号の位相差及びジッタ成分を計測することができるデジタル信号再生回路の提供を目的とする。

【解決手段】 デジタル信号再生回路2に、A/D変換器4から出力された光ディスク100からの再生信号のエッジ部の前後のサンプル値を用いて位相差を検出する位相比較部5と、位相比較部5で得た位相差のばらつきをもとにジッタ検出信号を検出するジッタ計測部9とを備える。



【特許請求の範囲】

【請求項1】 入力された信号をアナログ／デジタル変換するアナログ／デジタル変換手段と、上記アナログ／デジタル変換手段からの出力信号のエッジ部の前後のサンプル値を用いて位相差を算出する位相比較手段と、上記位相比較手段から得られた上記位相差のばらつきを算出するジッタ計測手段とを備えるデジタル信号再生回路。

【請求項2】 上記ジッタ計測回路は、上記位相比較手段において算出された上記位相差を正規化する正規化手段と、この正規化手段において正規化された位相差をもとに2乗値の平均値を算出する2乗平均算出手段とから構成されることを特徴とする請求項1記載のデジタル信号再生回路。

【請求項3】 上記ジッタ計測回路は、上記位相比較手段において算出された上記位相差を正規化する正規化手段と、正規化手段において正規化された位相差をもとに絶対値の平均値を算出する絶対値平均算出手段とから構成されることを特徴とする請求項1記載のデジタル信号再生回路。

【請求項4】 入力された信号を波形等化して、この波形等化した信号を上記アナログ／デジタル変換手段に出力する波形等化手段を備え、この波形等化手段を上記ジッタ計測手段からの出力信号に基づいて制御することを特徴とする請求項1記載のデジタル信号再生回路。

【発明の詳細な説明】**【0001】**

【発明の属する技術分野】 本発明は、デジタル信号を再生するデジタル信号再生回路に関し、詳しくは、再生される信号の位相差及びジッタ成分を検出しながら当該信号を再生するデジタル信号再生回路に関する。

【0002】

【従来の技術】 デジタル信号再生回路は、例えば入力されたアナログ信号からデジタルデータを再生するものであり、入力されたアナログ信号に同期させたクロックを発生させる同期クロック再生部、すなわちPLL回路を備えている。

【0003】 上記同期クロック再生部は、入力された信号のクロック周波数に略等しいクロックを発生させるとともに、発生させたクロックと入力されてくる信号との位相差より検出したパルス幅で生成された位相差信号を発生させ、この位相差信号に基づいて、入力される信号のクロック成分に対して上記発生させるクロックが同期するように制御を行っている。

【0004】 例えば光ディスクに記録されている信号の再生を行うディスク再生装置には、図6に示すように、デジタル信号再生回路202が組み込まれている。

【0005】 ディスク再生装置201は、光ディスク200に光を照射してその反射光をもとに光ディスク20

0に記録されている信号を読み込む光ピックアップ214と、光ピックアップ214から出力された再生信号を波形等化して出力する波形等化部204と、波形等化部204から出力された信号をアシメトリ補正して出力するアシメトリ補正回路205と、アシメトリ補正回路205から出力された信号を2値化信号に変換して出力する2値化回路205と、2値化回路206から出力された2値化信号と同期クロックとを比較して得た位相差信号を出力する位相比較部207と、位相比較部207から出力された上記位相差信号をアナログ的に平均化して出力するループフィルタ208と、ループフィルタ208から出力された信号が0になるように同期クロックを生成する電圧制御発振器209と、絶対値回路211及びローパスフィルタ212から構成され、位相比較部207から出力された位相差信号をもとにジッタ成分を計測するジッタ計測回路210と、光学ピックアップ214内の2軸アクチュエータによって対物レンズを操作してフォーカスサーボ及びトラッキングサーボを行うサーボ回路215と、サーボ回路215及び波形等化部203を制御する制御部213とから構成されている。

【0006】 なお、位相比較部207、ループフィルタ208及び電圧制御発振器209とから上記同期クロック再生部206が構成される。

【0007】 上記ディスク再生装置201は、同期クロック再生部206の位相比較部207から出力される位相差信号をもとに当該ディスク再生装置201に入力された信号のジッタ成分を計測して、その計測したジッタ検出信号をもとにトラッキングサーボ及びフォーカスサーボを行っている。

【0008】 例えば、ジッタ成分を計測するジッタ計測部210は、デジタル処理によってジッタ検出信号を算出するように構成されたものであって、入力されるパルスとされる位相差信号を、高周波のサンプリングクロックによって計測し絶対値平均してジッタ検出信号を算出している。制御部213は、ジッタ計測部210において算出された上記ジッタ検出信号をもとにサーボのオフセットの調整等を行っている。

【0009】

【発明が解決しようとする課題】 ところで、アナログ処理では、パルス幅の絶対値平均を取ることは比較的容易であるが、オフセット、演算精度などの面でデジタル処理に劣る。また、二乗平均を演算することは困難である。よって、アナログ処理によってジッタ成分の測定を行っても、オフセット又は演算の精度が劣ってしまう。

【0010】 しかし、デジタル処理を行うためには、必要とされる精度に相当する時間分解能で位相誤差パルスを標準化しなければならない。すなわち、時間分解能の逆数の周波数のクロックか、高精度の遅延回路が必要となる。

【0011】 また、入力される信号の振幅が変動する場

合、単に2乗平均又は絶対値平均を行っただけでは計測されたジッタ成分の精度が良いとはいえない。

【0012】そこで、本発明は、上記実情に鑑みてなされたものであって、回路の小型化を可能してもなお高精度で再生信号の位相差及びジッタ成分を計測することができるデジタル信号再生回路の提供を目的とする。

【0013】

【課題を解決するための手段】本発明に係るデジタル信号再生回路は、アナログ／デジタル変換手段からの出力信号のエッジ部の前後のサンプル値を用いて位相差を算出する位相比較手段と、位相比較手段から得られた位相差のばらつきを算出するジッタ計測手段とを備える。

【0014】

【発明の実施の形態】以下、本発明の実施の形態となるデジタル信号再生回路について図面を用いて詳しく説明する。

【0015】実施の形態となるデジタル信号再生回路は、図1に示すように、光ディスク100に光ピックアップ11よりの光を照射して、光ディスク100の信号記録面において反射された反射光をもとに情報信号を再生するディスク再生装置1に適用され、再生した情報信号から検出したジッタ成分をもとにフォーカスサーボ及びトラッキングサーボのオフセット調整等を行うように構成される。

【0016】ディスク再生装置1において構成されるデジタル信号再生回路2は、光ピックアップ11から出力された再生信号を波形等化して、この波形等化した信号をA/D変換器4に出力する波形等化部3と、波形等化部3から出力された信号をA/D変換するA/D変換器4と、A/D変換器4から出力された信号のエッジ部の前後のサンプル値を用いて位相差を算出する位相比較部5と、位相比較部5から出力された位相差を平滑化して、直流に変換した信号を出力するフィルタ6と、フィルタ6から出力された信号をもとに同期クロックを再生する可変周波数発振器7と、位相比較部5で得た位相差のばらつきをもとにジッタ検出信号を検出するジッタ計測部9と、ジッタ計測部9から出力されたジッタ検出信号に基づいて波形等化部3及び後述するサーボ回路12を制御する制御部10とから構成される。

【0017】上記デジタル信号再生回路2において、位相比較部5、フィルタ6及び可変周波数発振器7とで、同期クロック再生部8、すなわちPLL回路(Phase Locked Loop)が構成される。同期クロック再生部8は、可変周波数発振器7において再生信号をもとに同期クロックを再生して、当該同期クロックと再生信号とを同期させるように構成される。

【0018】上記ディスク再生装置1は、上記デジタル信号再生回路2を備えるとともに、光ディスク100の信号記録面にレーザ光して、その反射光を受光する

光ピックアップ11と、光ピックアップ11内に備えられる図示しない対物レンズを2軸アクチュエータによってフォーカス方向及びトラッキング方向に移動操作するサーボ回路12とを備えている。サーボ回路12は、デジタル信号再生回路2のジッタ計測部9から出力される信号に基づいて制御部10によって制御される。

【0019】上記ディスク再生装置1は、上述のような構成からなるデジタル信号再生回路2を備えることで、光ディスク100よりの再生信号と同期クロックとのジッタ成分が少なくなるように波形等化部3を制御する。

【0020】以下、デジタル信号再生回路2を構成する各回路及び各部の構成について説明する。

【0021】波形等化部3は、光ピックアップ100から得た再生信号を波形等化する。波形等化部3は、所定の伝達関数をもつフィルタ回路として構成され、この伝達関数は、再生信号と同期クロックとのジッタ成分を少なくするように制御部10によって制御される。この波形等化部3により波形等化された再生信号は、A/D変換器4に供給される。

【0022】A/D変換器4は、アナログ信号である波形等化された再生信号を、デジタル信号に変換する。なお、A/D変換回路4のサンプリングクロックは、同期クロック再生部8の同期クロックである。

【0023】例えばデジタルビデオディスクでは、データは3T～11T(ここで、Tは同期クロックの周期とする。)の反転間隔で記録媒体に記録されることが規定されているので、A/D変換器4のサンプリングクロックが同期クロックの周波数であっても再現性は保証される。A/D変換器4によりデジタルデータに変換された再生信号は、同期クロック再生部8の位相比較部5に供給される。

【0024】なお、位相比較部5及びジッタ計測部9には、再生信号のデジタルデータが入力され、位相比較部5及びジッタ計測部9は、入力された再生信号のデジタルデータに基づいて位相差及びジッタ検出信号を検出する。

【0025】位相比較部5は、再生信号と同期クロックとの位相差を検出する。位相比較部5は、図2に示すように、1サンプル遅延手段としてのDフリップフロップ回路21と、A/D変換器4よりの値とDフリップフロップ回路21を介することで同期クロック単位遅延されて入力される値とを加算する加算器22と、加算器22から出力された値に-1を乗算する乗算器23と、符号ビットをもとに切り換えられ、例えば符号ビットが0(プラス)の時に加算器22とDフリップフロップ回路25とを接続し、符号ビットが1(マイナス)のときに乗算器23とDフリップフロップ回路25とを接続にする切り換えスイッチ24と、後述のEXOR(排他的論理和)回路28によって検出されるエッジ検出信号によ

って動作されるDフリップフロップ回路25と、Dフリップフロップ回路21から出力された値からA/D変換器5よりの値を減算する減算器26と、減算器26から出力された値が入力され、EXOR回路28の検出したエッジ信号によって動作されるDフリップフロップ回路27と、再生信号のエッジを検出したときにエッジ検出信号を出力するEXOR回路28とから構成される。EXOR回路28は、後に詳しく説明するように、入力された信号が閾値を跨いだときにエッジ検出信号を出力する。

【0026】なお、位相差検出の動作原理については後で図4及び図5を参照しながら説明する。

【0027】位相比較部5は、Dフリップフロップ回路21、加算器22、切り換えスイッチ24及びDフリップフロップ回路25を介することで閾値を跨いで得られるエッジ部前後の値の位相差を出力し、またDフリップフロップ回路21、減算器26及びDフリップフロップ回路27を介することで上記エッジ部の前後の値の差、すなわち位相差のフルスケール値を出力し、さらにエッジ部が閾値を跨いだときにEXOR回路28からエッジ検出信号を出力する。位相比較部5から出力される位相差、位相差フルスケール値及びエッジ検出信号は、ジッタ計測部9に入力される。

【0028】上記ジッタ計測部9は、図3に示すように、上記位相差を位相差フルスケール値によって正規化する除算回路である正規化回路31と、正規化回路31によって正規化された位相差を2乗する2乗回路32と、2乗回路32によって算出された位相差を積算する積算部33と、位相比較部5よりのエッジ検出信号をカウントするカウンタ38とから構成されている。

【0029】上記積算部33は、2乗回路32において2乗された位相差が入力され、上記エッジ検出信号によって動作されるDフリップフロップ回路34と、Dフリップフロップ回路34からの値と後述のDフリップフロップ回路35との値を加算する加算器37と、加算器37から出力された信号が入力され、上記エッジ検出信号によって動作されるDフリップフロップ回路35と、Dフリップフロップ回路35から出力された信号が入力されるDフリップフロップ回路36とから構成される。この積算部33は、上記2乗回路32から出力された値を積算して、カウンタが一定の値になったときに積算した値を出力する。

【0030】よって、ジッタ計測部9は、入力された位相差及び位相差フルスケール値をもとに正規化された2乗平均の位相差としてのジッタ検出信号を検出することができる。

【0031】なお、カウンタ38が一定の値に達したときに、Dフリップフロップ回路35には、カウンタ38よりクリア信号が入力され、Dフリップフロップ回路36には、ストア信号が入力される。Dフリップフロップ回

路35は、クリア信号の入力によって、収納された値をクリアする。また、Dフリップフロップ回路36は、ストア信号の入力によって、Dフリップフロップ回路35からの出力を収納し出力する。このDフリップフロップ回路36から出力される信号が、ジッタ検出信号となって、制御部10に入力される。

【0032】また、積算部33は、エッジのカウント値に基づいて積算を行わせる代わりにタイマ等を用いて一定時間の間に積算した位相差を出力するように構成することもできる。

【0033】なお、ジッタ計測部9からの出力を平均するためには、例えば入力されたデータの個数で積算された位相差を除算する除算器が必要とされるが、積算部33で積算するデータの個数を 2^n (n は整数) とすることにより出力される積算された値をビットシフト又は上位ビットを取り除くことによって平均化することもできる。

【0034】そして、ジッタ計測部9は、2乗回路32に代えて絶対値回路を備えることもできる。この場合、計算が軽減される。

【0035】制御部10は、ジッタ計測部9からのジッタ検出信号の値が小さくなるように波形等化部3を制御する。例えば、制御部10は、再生信号と同期クロックとのジッタ成分が少なくなるように波形等化部3の伝達関数を制御する。

【0036】以上のことから、ディジタル信号再生回路2は、従来のように高周波のサンプリングクロックを用いることなく位相差をディジタルデータとして高精度に検出することができ、さらにこのディジタルデータの位相差をもとに位相差及びジッタ成分を検出することができる。よって、ディジタル信号再生回路2は、位相差及びジッタ成分を高精度で検出することができる。

【0037】また、ディジタル信号再生回路2は、算出した位相差を正規化しているために、例えば、再生信号の振幅が変動する場合でも、精度良くジッタ成分を計測することができる。

【0038】よって、ディジタル信号再生回路2は、精度良くジッタ成分を計測することができるために、同期クロックの補正を高精度で行うことができる。

【0039】そして、このディジタル信号再生回路2を備えたディスク再生装置1は、劣化の少ない信号を再生することができる。さらに、ディスク再生装置1は、ジッタ検出信号をもとにサーボ回路12がサーボ処理を行うため、サーボのオフセット調整を精度良く行うことができる。

【0040】ここで、ディジタル信号再生装置2における位相差検出の動作について説明する。例えば、図4

(A)乃至図4(F)は、位相比較部5に入力される再生信号を示している。この時、ディジタル信号再生回路2は、図5のフローチャートに示す処理によってその位

相差の検出を行う。

【0041】なお、図4(A)乃至図4(F)に示す再生信号は、連続に示されているが、実際には位相比較部5への入力において同期クロックに基づいて標本化されている。すなわち、再生信号の値は、閾値V0からの値がA/D変換器4によって変換されてデジタルデータとして標本化されている。

【0042】また、図4(A)乃至図4(F)において、閾値V0は例えば電圧0Vであり、標本化された再生信号のサンプル値 $d(i-1)$ はエッジ部が閾値V0と交差する直前の値であり、信号 $d(i)$ はエッジ部が閾値V0と交差した直後のサンプル値である。すなわち、サンプル値 $d(i-1)$ とサンプル値 $d(i)$ とがサンプリングされたサンプリング間隔は、同期クロックの一単位の間隔となる。

【0043】再生信号が同期クロックに対して遅れた位相を有している場合を再生信号の立ち上がりのエッジ部でみた場合、図4(A)に示すように、立ち上がりのエッジ部と閾値V0との交点(以下、変化点という。)がサンプリング間隔の中間点より後に位置する。このとき、サンプル値 $d(i-1)$ とサンプル値 $d(i)$ との間には、 $|d(i)| < |d(i-1)|$ 、及び $d(i) + d(i-1) < 0$ の関係がある。

【0044】また、再生信号が同期クロックに対して遅れた位相を有している場合を再生信号の立ち下りのエッジ部でみた場合、図4(D)に示すように、変化点がサンプリング間隔の中間点より後に位置する。このとき、サンプル値 $d(i-1)$ とサンプル値 $d(i)$ との間には、 $|d(i)| < |d(i-1)|$ 、及び $d(i) + d(i-1) > 0$ の関係がある。

【0045】さらに、再生信号が同期クロックに対して進んだ位相を有している場合を再生信号の立ち上がりのエッジ部でみた場合、図4(C)に示すように、変化点がサンプリング間隔の中間点より前に位置する。このとき、サンプル値 $d(i-1)$ とサンプル値 $d(i)$ との間には、 $|d(i)| > |d(i-1)|$ 、及び $d(i) + d(i-1) > 0$ の関係がある。

【0046】そして、再生信号が同期クロックに対して進んだ位相を有している場合を再生信号の立ち下りのエッジ部でみた場合、図4(F)に示すように、変化点がサンプリング間隔の中間点より前に位置する。このとき、サンプル値 $d(i-1)$ とサンプル値 $d(i)$ との間には、 $|d(i)| > |d(i-1)|$ 、及び $d(i) + d(i-1) < 0$ の関係がある。

【0047】なお、再生信号が同期クロックに同期している場合を再生信号の立ち上がりのエッジ部でみた場合、図4(B)に示すようになり、また、再生信号が同期クロックに同期している場合を再生信号の立ち下りのエッジ部でみた場合、図4(E)に示すようになり、いずれも変化点がサンプリング間隔の中間点に位置す

る。すなわち、 $|d(i)| = |d(i-1)|$ となる。

【0048】再生信号の変化点の前後で得られたエッジ部の前後のサンプル値 $d(i-1)$ 及びサンプル値 $d(i)$ をもとに、位相比較部5において位相差 $d(i) + d(i-1)$ が導き出され、また位相差フルスケール値 $d(i-1) - d(i)$ が導き出される。

【0049】また、位相比較部5のEXOR回路28は、サンプル値 $d(i-1)$ とサンプル値 $d(i)$ との符号を符号ビットで比較して、当該符号ビットが異なるときにはエッジ検出信号を出力する。

【0050】よって、Dフリップフロップ回路25及びDフリップフロップ回路27は、エッジ検出信号によって動作されるため、閾値V0と交差したエッジ部の前後のサンプル値によって算出した位相差及び位相差フルスケール値のみをジッタ計測部9に出力していることがわかる。

【0051】なお、上述のように例えば同期クロックに対して再生信号が進んだ位相を有している場合、立ち上がりとしち下りのエッジ部ではともに $|d(i)| < |d(i-1)|$ となるが、 $d(i) + d(i-1)$ ではその符号が逆転するため、位相比較部5の切り換えスイッチ24は、エッジ部が立ち下りの場合にのみ、加算器22から出力される位相差を乗算器23を介してDフリップフロップ回路25に出力している。

【0052】また、位相比較部5による位相差の検出は、図5に示すフローチャートに従って説明することもできる。

【0053】先ずステップS1に示すように、Dフリップフロップ回路21を介することで連続してサンプル値 $d(i-1)$ 及びサンプル値 $d(i)$ が読み込まれ、続いてステップS2に示すように、例えばサンプル値 $d(i-1)$ とサンプル値 $d(i)$ とを乗算して、乗算結果が負であるか否かの判別を行う。例えば、乗算結果が負である場合、連続して得られたサンプル値 $d(i-1)$ とサンプル値 $d(i)$ とは、閾値を跨いだエッジ部の前後の値となる。なお、位相比較部5では、比較部28が、サンプル値 $d(i-1)$ とサンプル値 $d(i)$ とを比較しており、この比較結果をもとにジッタ計測部9への出力が行われている。

【0054】ここで、上記乗算結果が負である場合、ステップS3に進み、乗算結果が正、すなわち再生信号が閾値を跨いでいない場合、ステップS6に進む。

【0055】ステップS3では、サンプル値 $d(i)$ の正負の確認を行う。ここで、サンプル値 $d(i)$ が負である場合、サンプル値 $d(i-1)$ 、サンプル値 $d(i)$ は立ち下りのエッジ部の値であって、ステップS4に示すように位相差 $\Delta\phi(i) = -(d(i-1) + d(i))$ が算出される。

【0056】また、サンプル値 $d(i)$ が正である場

合、サンプル値 $d(i-1)$ 、サンプル値 $d(i)$ は立ち上がりのエッジ部の値であって、ステップ S5 に示すように位相差 $\Delta\phi(i) = d(i-1) + d(i)$ が算出される。

【0057】また、RF信号が閾値を跨いでいないときステップ S6 に示すように、それ以前の位相差 $\Delta\phi(i) = \Delta\phi(i-1)$ とする。

【0058】以上のように算出される位相差によってジ

ッタ計測部 9 において正規化された位相差の平均値が検出される。

【0059】なお、位相差と位相差フルスケール値とをもとに位相差を正規化する正規化回路 31 に換えて表 1 に示すような数表をもとにして導くこともできる。

【0060】

【表 1】

| PE | PA | POUT |
|----|----|------|
| -8 | -8 | 255 |
| -7 | -8 | 196 |
| -6 | -8 | 144 |
| -5 | -8 | 100 |
| -4 | -8 | 64 |
| -3 | -8 | 36 |
| -2 | -8 | 16 |
| -1 | -8 | 4 |
| 1 | -8 | 4 |
| 2 | -8 | 16 |
| 3 | -8 | 36 |
| 4 | -8 | 64 |
| 5 | -8 | 100 |
| 6 | -8 | 144 |
| 7 | -8 | 196 |
| -7 | -7 | 255 |
| -6 | -7 | 188 |
| -5 | -7 | 131 |
| -4 | -7 | 84 |
| -3 | -7 | 47 |
| -2 | -7 | 21 |
| -1 | -7 | 5 |
| 0 | -7 | 0 |
| 1 | -7 | 5 |
| 2 | -7 | 21 |
| 3 | -7 | 47 |
| 4 | -7 | 84 |
| 5 | -7 | 131 |
| 6 | -7 | 188 |
| 7 | -7 | 255 |
| -6 | -6 | 255 |
| -5 | -6 | 178 |
| -4 | -6 | 114 |
| -3 | -6 | 64 |
| -2 | -6 | 28 |
| -1 | -6 | 7 |
| 0 | -6 | 0 |
| 1 | -6 | 7 |
| 2 | -6 | 28 |
| 3 | -6 | 64 |
| 4 | -6 | 114 |
| 5 | -6 | 178 |
| 6 | -6 | 255 |
| -5 | -5 | 255 |
| -4 | -5 | 164 |
| -3 | -5 | 92 |
| -2 | -5 | 41 |

| PE | PA | POUT |
|----|----|------|
| -1 | -5 | 10 |
| 0 | -5 | 0 |
| 1 | -5 | 10 |
| 2 | -5 | 41 |
| 3 | -5 | 92 |
| 4 | -5 | 164 |
| 5 | -5 | 255 |
| -4 | -4 | 255 |
| -3 | -4 | 144 |
| -2 | -4 | 64 |
| -1 | -4 | 16 |
| 0 | -4 | 0 |
| 1 | -4 | 16 |
| 2 | -4 | 64 |
| 3 | -4 | 144 |
| 4 | -4 | 255 |
| -3 | -3 | 255 |
| -2 | -3 | 114 |
| -1 | -3 | 28 |
| 0 | -3 | 0 |
| 1 | -3 | 28 |
| 2 | -3 | 114 |
| 3 | -3 | 255 |
| -2 | -2 | 255 |
| -1 | -2 | 64 |
| 0 | -2 | 0 |
| 1 | -2 | 64 |
| 2 | -2 | 255 |
| -1 | -1 | 255 |
| 0 | -1 | 0 |
| 1 | -1 | 255 |
| -1 | 1 | 255 |
| 0 | 1 | 0 |
| 1 | 1 | 255 |
| -2 | 2 | 255 |
| -1 | 2 | 64 |
| 0 | 2 | 0 |
| 1 | 2 | 64 |
| 2 | 2 | 255 |
| -3 | 3 | 255 |
| -2 | 3 | 114 |
| -1 | 3 | 28 |
| 0 | 3 | 0 |
| 1 | 3 | 28 |
| 2 | 3 | 114 |
| 3 | 3 | 255 |
| -4 | 4 | 255 |

| PE | PA | POUT |
|----|----|------|
| -3 | 4 | 144 |
| -2 | 4 | 64 |
| -1 | 4 | 16 |
| 0 | 4 | 0 |
| 1 | 4 | 16 |
| 2 | 4 | 64 |
| 3 | 4 | 144 |
| 4 | 4 | 255 |
| -5 | 5 | 255 |
| -4 | 5 | 164 |
| -3 | 5 | 92 |
| -2 | 5 | 41 |
| -1 | 5 | 10 |
| 0 | 5 | 0 |
| 1 | 5 | 10 |
| 2 | 5 | 41 |
| 3 | 5 | 92 |
| 4 | 5 | 164 |
| 5 | 5 | 255 |
| -6 | 6 | 255 |
| -5 | 6 | 178 |
| -4 | 6 | 114 |
| -3 | 6 | 64 |
| -2 | 6 | 28 |
| -1 | 6 | 7 |
| 0 | 6 | 0 |
| 1 | 6 | 7 |
| 2 | 6 | 28 |
| 3 | 6 | 64 |
| 4 | 6 | 114 |
| 5 | 6 | 178 |
| 6 | 6 | 255 |
| -7 | 7 | 255 |
| -6 | 7 | 188 |
| -5 | 7 | 131 |
| -4 | 7 | 84 |
| -3 | 7 | 47 |
| -2 | 7 | 21 |
| -1 | 7 | 5 |
| 0 | 7 | 0 |
| 1 | 7 | 5 |
| 2 | 7 | 21 |
| 3 | 7 | 47 |
| 4 | 7 | 84 |
| 5 | 7 | 131 |
| 6 | 7 | 188 |
| 7 | 7 | 255 |

【0061】表 1 に示す数表は、位相差 (PE)、位相差フルスケール値 (PA) 及び正規化された位相差 (POUT) により構成される。

【0062】ここで正規化された位相差は、 $POUT = (PE/PA) \times 256$ となるように決定されている。また、表 1 の数表では、位相差と位相差フルスケール値との定義より $|PE| > |PA|$ が成り立つように構成されている。

【0063】このように、数表を用いることにより計算回路が必要なくなるために、正規化された位相差を高精

度で導き出すことができる。

【0064】なお、数表にない位相差又は位相差フルスケール値が入力された場合には 0 を出力する等して演算誤りに対する保護とすることができる。また、回路規模を小さくするように任意の値を割り振りすることもできる。

【0065】また、2 乗回路及び絶対値回路も上述のように数表を用いて位相差の 2 乗値及び絶対値を算出することもできる。さらに、正規化及び 2 乗平均又は絶対値平均との関係を統合して、位相差及び位相差フルスケール

ル値を入力した際に、正規化された位相差平均を検出することもできる。

【0066】 によって、デジタル信号再生回路2は、デジタルデータをもとに位相差及びジッタ成分を計測しているために、高精度で再生信号と同期クロックとを同期させることができる。

【0067】

【発明の効果】 本発明に係るデジタル信号再生回路は、再生信号のエッジ部の前後のサンプル値により位相差を検出する位相比較手段を備えることで、デジタルデータとして位相差を検出し、この位相比較手段で算出されたデジタルデータとされる位相差をもとに再生信号のジッタ成分を算出するジッタ計測手段を備えることで、ジッタ成分を精度よく計測することができる。

【0068】 さらに、上記デジタル信号再生回路は、位相差を正規化する正規化手段を備えているために、例えば再生信号の振幅にふらつきがあっても精度よく当該再生信号のジッタ成分を計測することができる。

【図面の簡単な説明】

【図1】 本発明の実施の形態となるデジタル信号再生回路を備えるディスク再生装置を示す回路構成図である。

【図2】 上記デジタル信号再生回路の備える位相比較部を示す回路構成図である。

【図3】 上記デジタル信号再生回路の備えるジッタ計測部を示す回路構成図である。

【図4】 上記デジタル信号再生回路に入力される再生信号を例示する再生信号の特性図である。

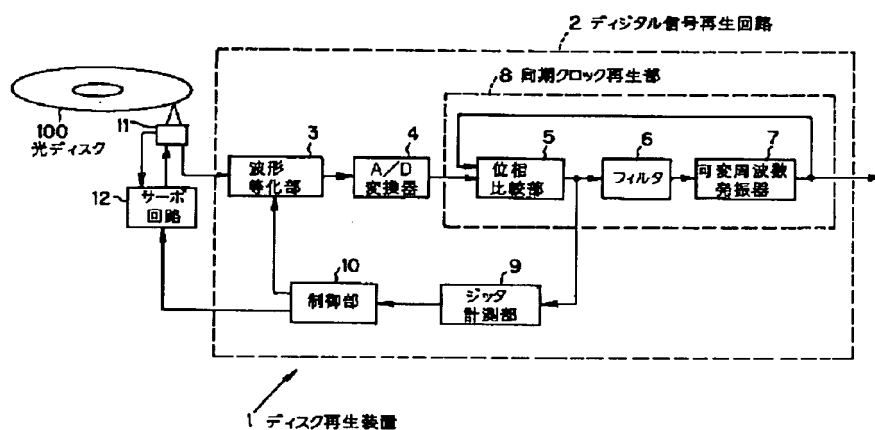
【図5】 上記位相比較部の一部の実行動作を示すフローチャートである。

【図6】 従来のデジタル信号再生回路を示す回路構成図である。

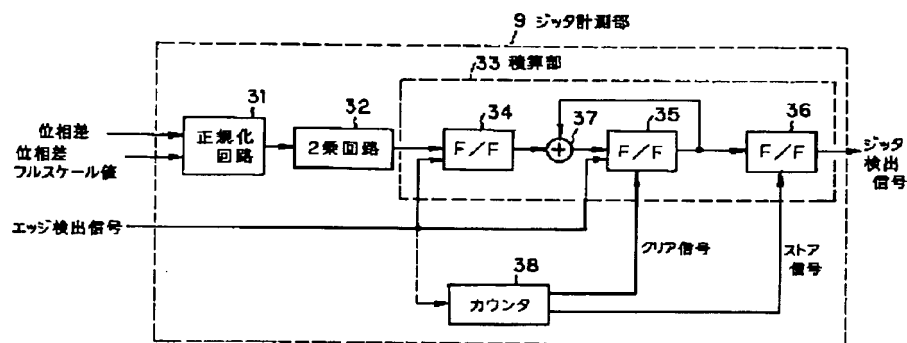
【符号の説明】

2 デジタル信号再生回路、4 A/D変換器、5 位相比較部、9 ジッタ計測

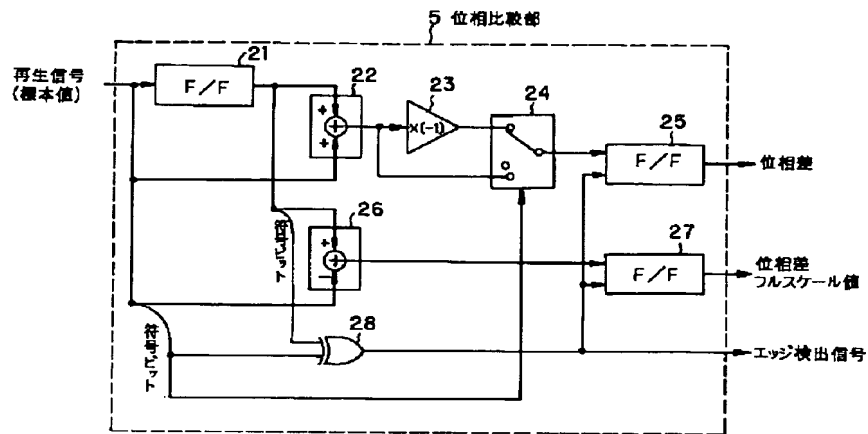
【図1】



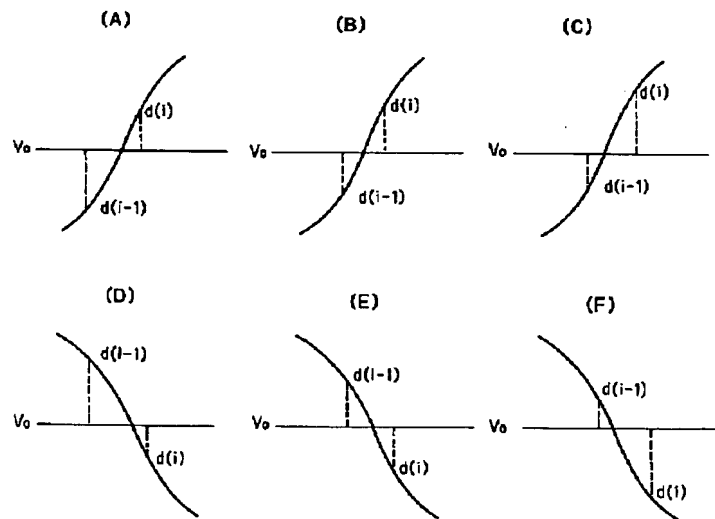
【図3】



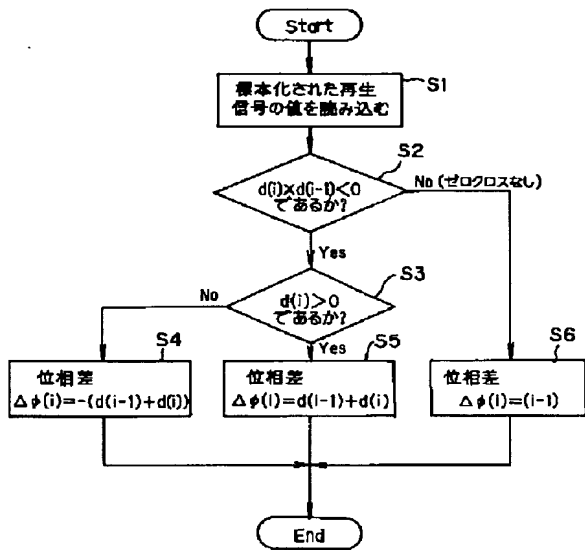
【図2】



【図4】



【図5】



【図6】

